Product Manual

FANDA (Flexiable And Adaptive) - FA3

(Xilinx FPGA XC7A100T - EVM 보드)

Embedded and Logic Solution

eLogics
RM607-1, Digital Empire, #685,Gasan-dong,
Geumcheon-gu Seoul, Korea. (Zip: 150-023)
Phone: (02) 2624-2573
Fax: (02)2624-2575
naaman@paran.com
www.eLogics.co.kr

© 2011 **eLogics** All rights reserved

이로직스
서울 특별시 금천구 가산동 568번지
디지털엠파이어 607-1호 (우: 152-050)
전화: (02) 2624-2573
팩스: (02)2624-2575
naaman@paran.com
www.eLogics.co.kr

FANDA-FA3 Manual

Version	Description	Date	Who
1.0	Initial Create	2015-04-08	Elogics

목차

1. 제품 설명 4
2. 제품 사양 4
3. 제품 구성 5
4. 보드 사진 및 구성도 6
5. 블록별 부품 특징 7
6. FANDA-FA3 회로 설명 8
7. 마이크로 브레이즈와 피코브레이즈 특징 13
8. 콘넥터 설명 14
9. ISE PROM FILE(*.MCS) 만들기 17
10. EXAMPLE PROJECT 23

1. 제품 설명

FANDA-FA3은 Xilinx사의 Artix 시리즈 중 XC7A100T-FG324 패키지로 제작된 FPGA EVM보드입니다. 보드 내에 Onchip PHY(10/100/1000)bps, 128Mbyte DDR3(16Bit)메모리 , LVDS 200Mhz OSC, USB2Serial,4Bbit LED, 4Bit DIP Switch등이 내장되어 있다. 또한 사용자가 포트를 확장 할 수 있도록 60핀 IO포트가 2개 있습니다. 구동 전원은 5V 2A 전원으로 동작하며, 동작상태를 표시하기 위한 Status LED등이 있습니다. 소프트웨어 적으로 본 제품은 Xilinx 사에서 제공되는 Vivado, ISE Tool을 사용하며, H/W개발 언어인 VHDL, Verilog를 습득및 여러가지 IP(UART, HDMI, DSP Block, MAC)들을 실습 할 수 있습니다. 보다 나은 설계 방법으로서 EDK, 어셈블리어(KSPSM6.EXE) Tool를 가지고 FPGA내부에 32Bit MicroBraze, 8Bit Picobraze를 내장하는 방법과 예제 프로그램을 테스트 할 수 있는 EVM 보드입니다. 단지 교육용만 아니라 여러 가지 용도로 응용 할 수 있도록 확장 I/O 포트가 내장되어 있습니다.

2. 제품 사양

2.1. 하드웨어 사양

- FPGA : Xilinx XC7A100T-CSG324(1000)만게이트 사용할 수 있음
- DDR3-16Bit 128Mbyte(400Mhz)
- AR8031-1Gbps 이더넷 PHY
- Single USB2Serial Port
- FPGA Configuration EEPROM(SPI PROM)
- DC Power 5V 입력(역전압,과전압) 보호 회로
- 4 bit dip switch
- 4 bit LED, 전원 표시 LED
- 업보드 확장 콘넥터(2x40x2x2.0MM)
- 보드 사이즈: 115mm x 90mm
- 2.5V LVDS 200Mhz, 19.2Mhz OSC
- 전원 스위치

2.2. 소프트웨어 사양

- ISE 12.4 , EDK (예제 코드), ISE 11.5 이상 지원됨
- Vivado 2012, 2014.7 지원함
- 제공 소스: 마이크로 브레이즈 예제 기본
- Serial Uart Source 코드
- Picobraze Example 소스 코드
- Analog Device ADC(Audio Codec 소스코드) – Audio Codec보드 구매 시
- Wincap DLL 코드

2.3. 전기적 사양

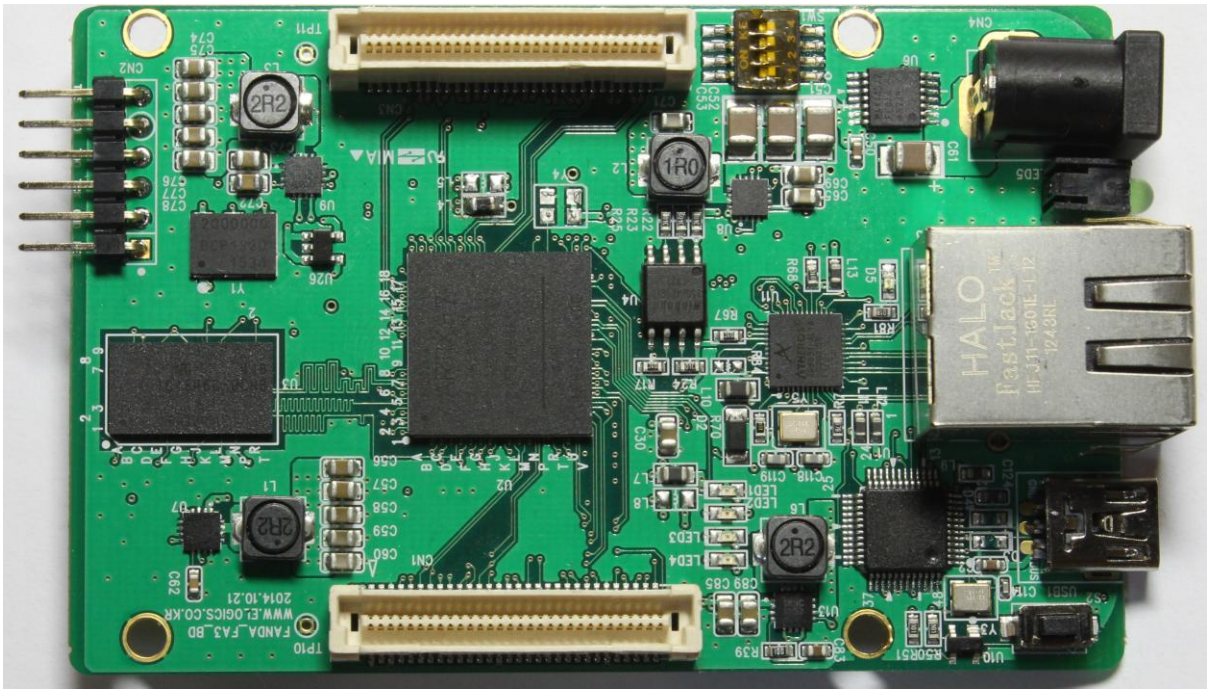
- 5V 2A DC 아답터
- 1.0V FPGA CORE 전원
- 1.5V DDR3 메모리 전원
- 3.3V, 1.8V 선택 I/O 전원

3. 제품 구성

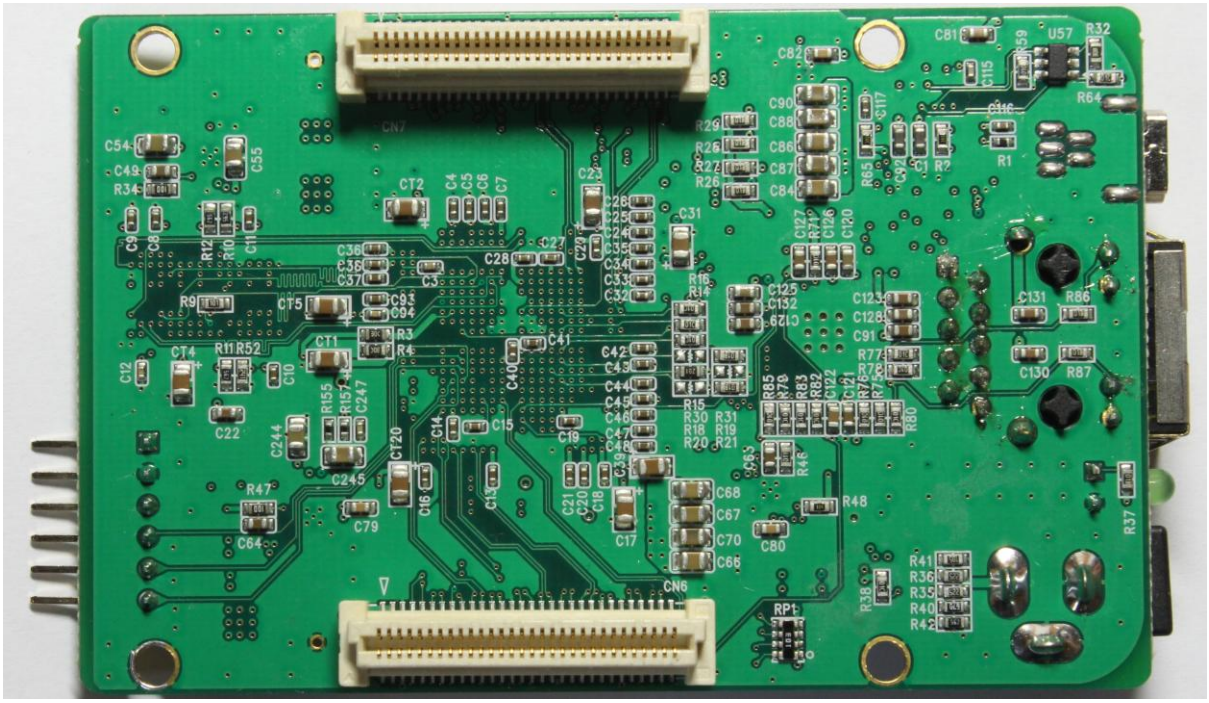
구분	수량	비고
FANDA-FA3	1	판매
제품 설명서	1	이로직스
회로도 PDF, ORCAD 원본	1	Webhard
제공 소스 - 마이크로브레이즈, Picobraze 예제코드	1	Webhard

4. 보드 사진 및 구성도

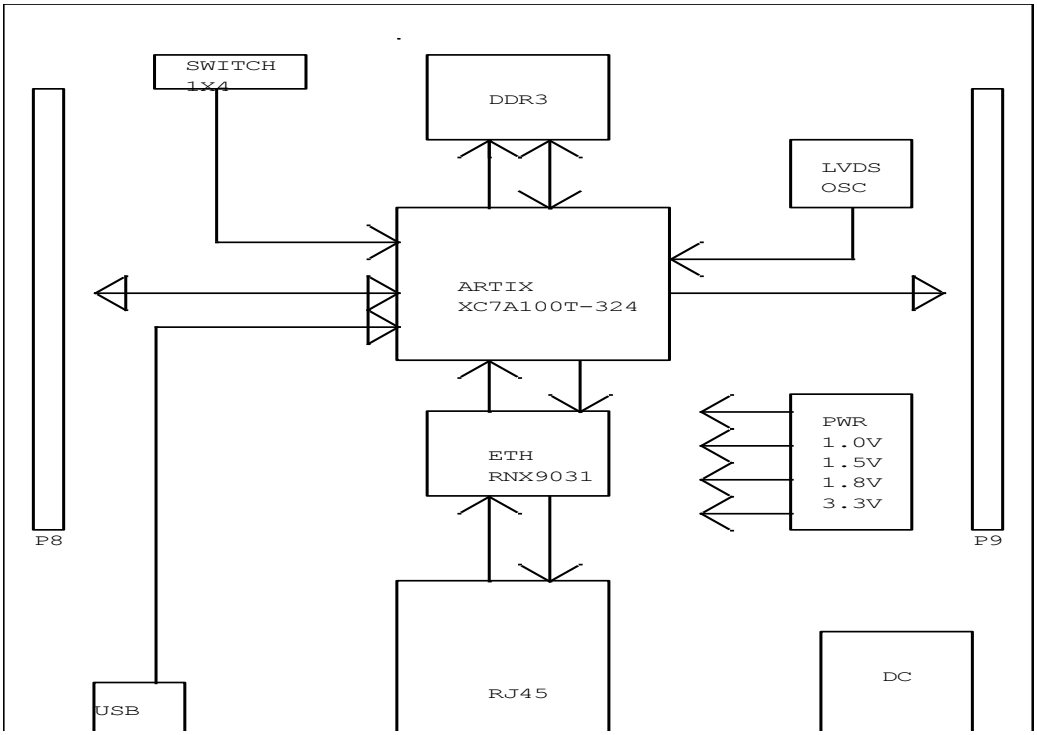
4.1. TOP 면 사진



4.2. BOTTOM면 사진



4.3. BLOCK DIAGRAM



5. 블록별 부품 특징

5.1. FPGA : XC7A100T-324 XILINX 28나노 공정으로 제조된 최신 칩

- 옵션에 따라서 XC7A15T, 35T, 50T, 100T-CG324
- CSG324패키지
- 0.8 BALL 피치
- Block RAM,PLL,DSP Slice Block
- 1.8V,3.3V I/O Port(선택적)

5.2. DDR3 : K4B1G1646G 1GBIT 16BIT SDRAM

- 16Bit DDR3 인터페이스
- 400Mhz 동작
- 96FGGA PIN

5.3. USB2SERIAL : FT232Q

- USB2.0 고속 통신 UART모드 및 FIFO 모드 동작
- Default : uart 통신 모드

5.4. 시스템 전원

- CORE 전원: SC186-4A

- I/O 전원 : SC183-2A Switching Regulator

5.5. 10/100/1000bps 이더넷

- Atheros 10/100/1000 이더넷 PHY
- 25Mhz Clock
- RGMII 인터페이스,Autonegotiation

5.6. 보드 동작 클럭

- 2.5V MEMS LVDS OSC(7.0x5.0mm)
- 3.3V OSC (3.2 x 2.0mm)

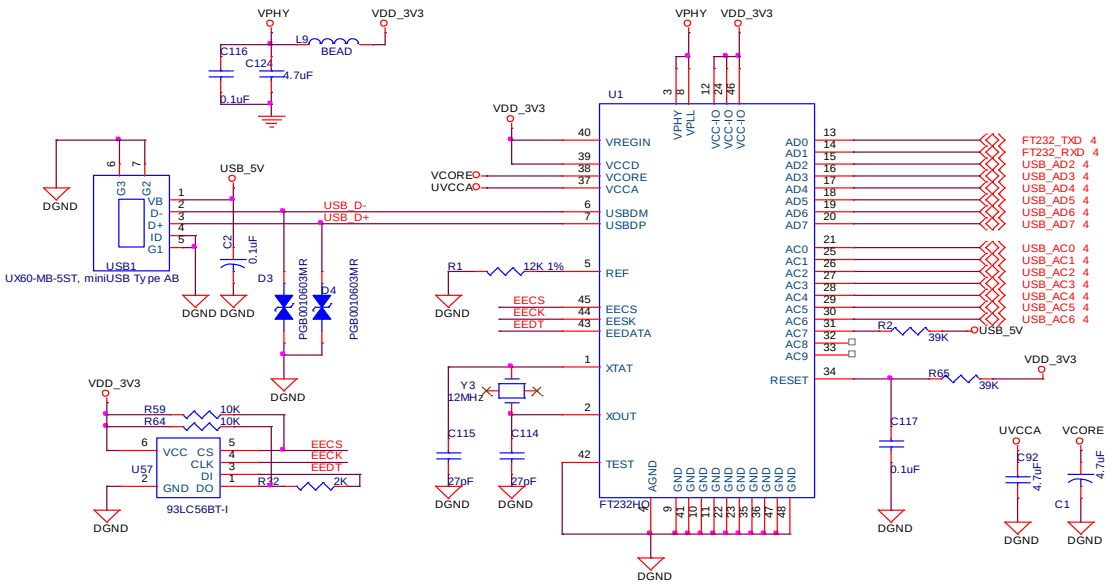
6. FANDA-FA3 회로 설명

6.1. Main FPGA : Xilinx Artix XC7A100T-CSG324

- FA3 보드의 전체 적인 제어를 담당함
- USB2Serial 인터페이스, DDR3, MAC PHY 통신, SPI 통신
- 동작상태 LED 제어
- 확장 I/O PORT 제어

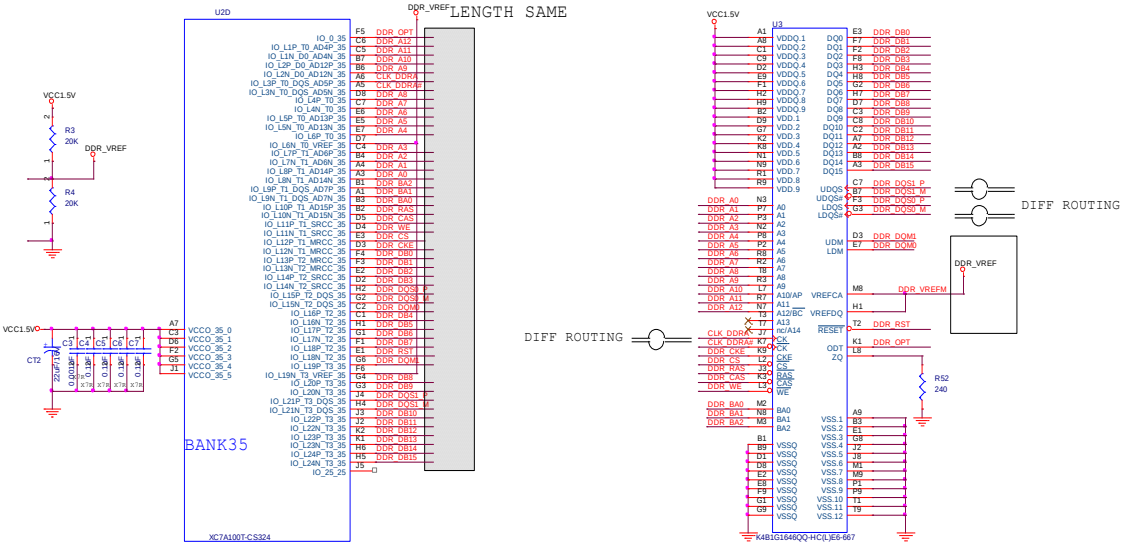
6.2. USB2Serial 회로도 .

- FPGA내 BANK14 핀과 연결
- 3.3V I/O 전원
- Mode 설정에 따라서 표준 Uart, FIFO , Jtag , SPI 모드로 사용함
- Serial SPI Rom 사용



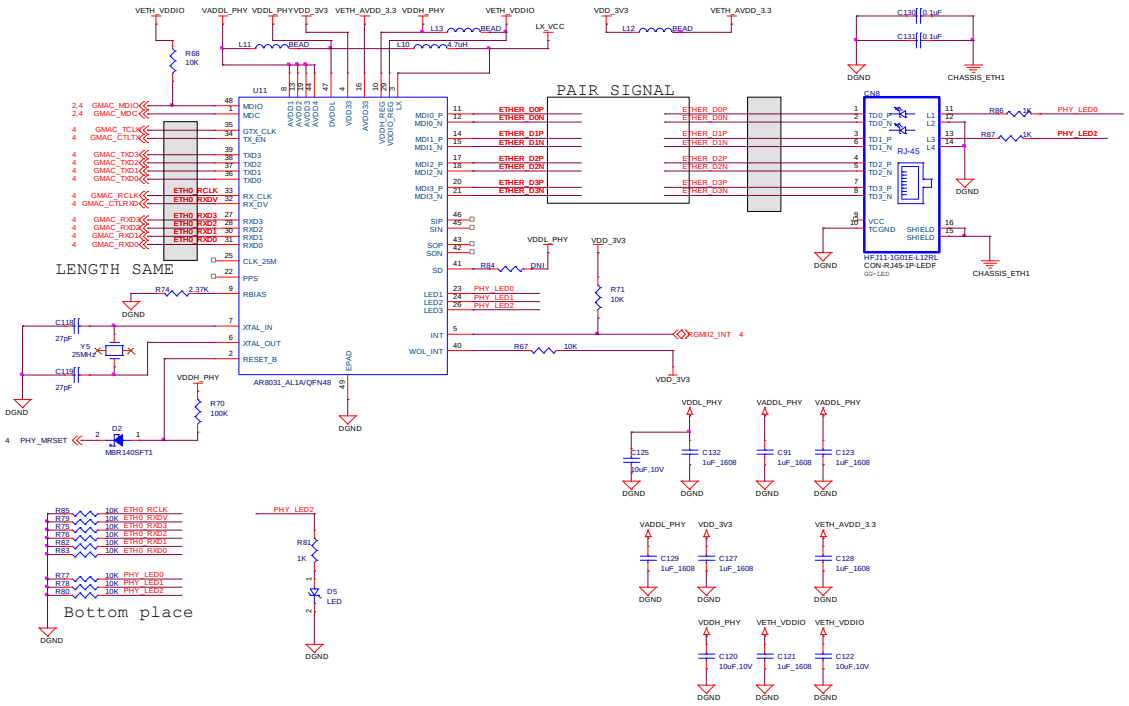
6.3. FPGA DDR3회로도

- FPGA내 BANK35핀과 연결
- 1.5V I/O 전원
- MIG(Memory IP Generator) 통해서 IP 생성
- VREF 0.75V 전원
- 동작 주파수 400Mhz

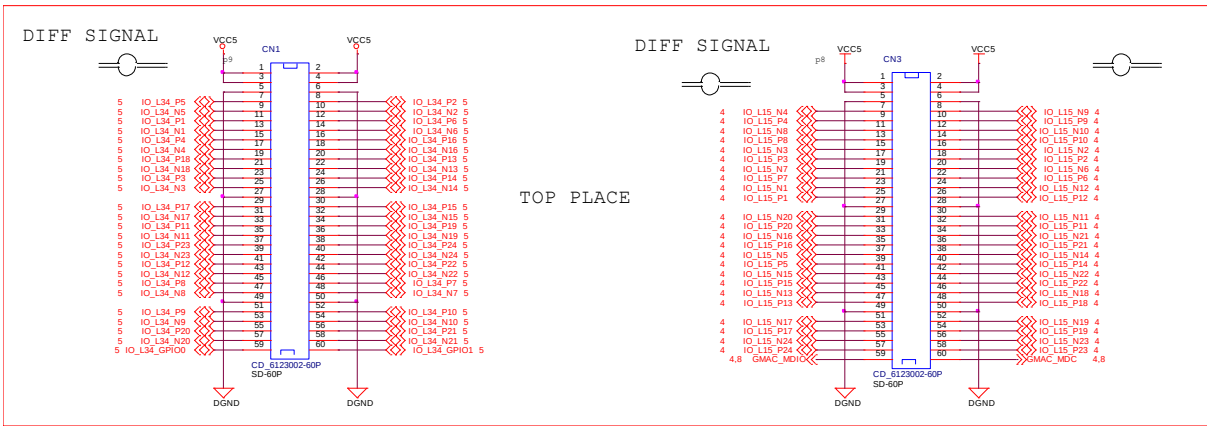


6.4. 10/100/1000bps PHY이더넷 회로도

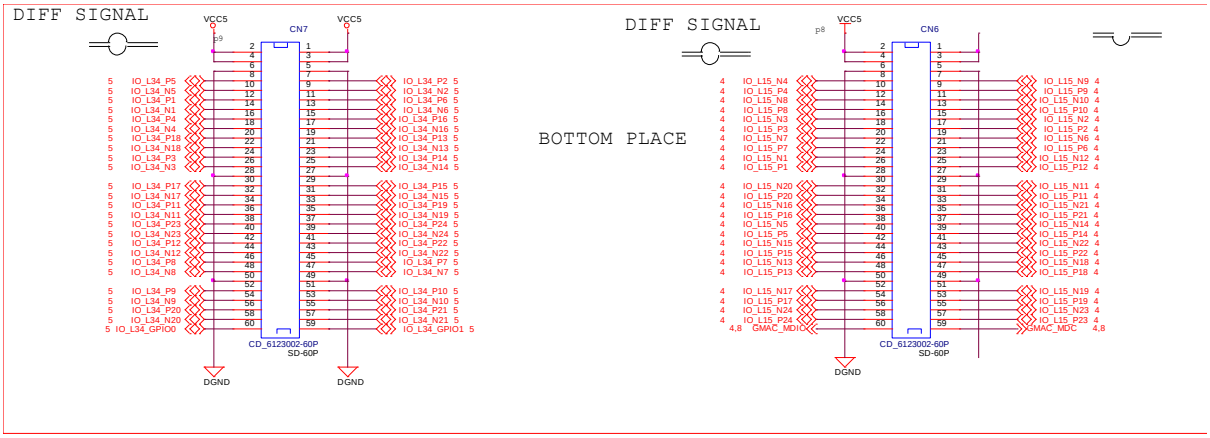
- FPGA내 BANK14 핀과 연결
- 3.3V I/O 전원
- RGMII 모드 사용
- Picobraze를 이용한 MDIO통신
- 25Mhz Crystal



6.5. UP보드 확장 콘넥터 회로도(1.8V,3.3V I/O)(Default 3.3V)

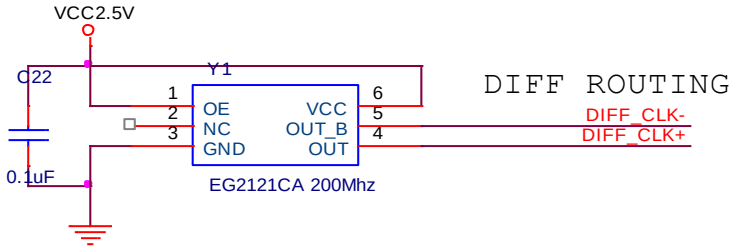


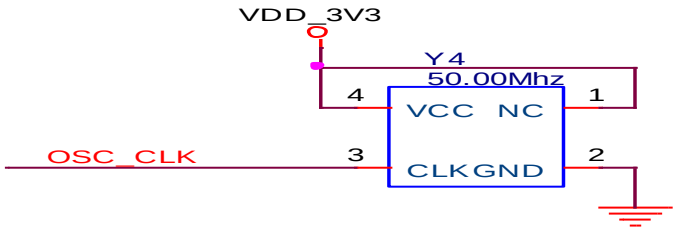
6.6. DOWN 보드 확장 콘넥터 회로도(1.8V,3.3V I/O)(Default 3.3V)



6.7. System Clock generation 회로도

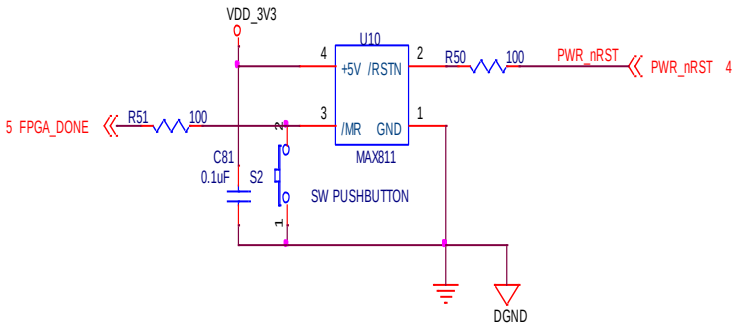
- 3.3V 19.2Mhz OSC
- 2.5V MEMS OSC (200)MHZ LVDS OSC 기본 장착(clock+, clock-)



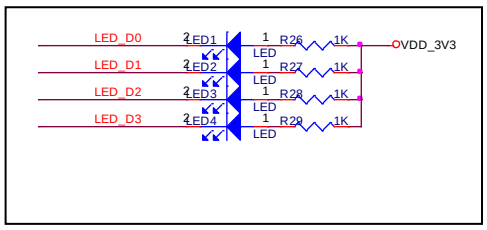


6.8. Reset 회로

- Positive Level reset 입력(L: Reset, H: Normal)

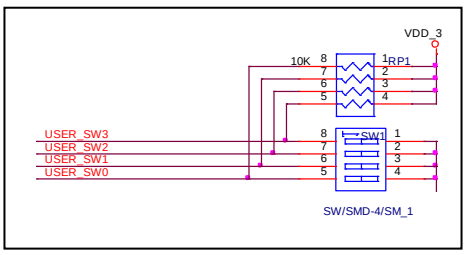


6.9. LED 회로도



LED_D0 : U13
LED_D1 : T9
LED_D2 : T10
LED_D3: R10

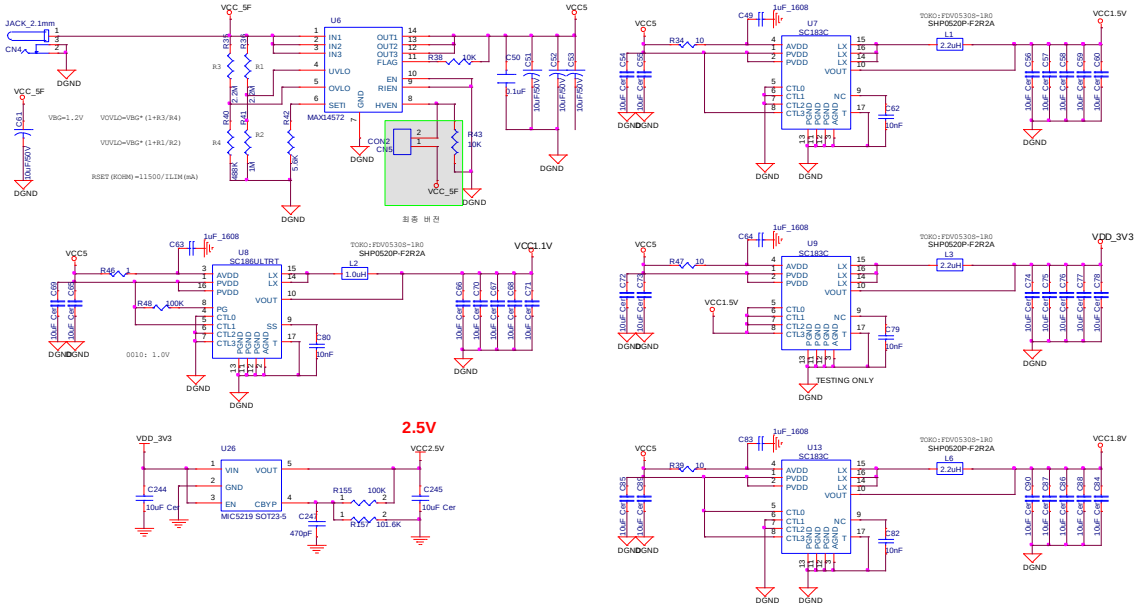
6.10. 스위치 회로도



USER_SW0 : U16
USER_SW1 : U18
USER_SW2 : U17
USER_SW3 : V16

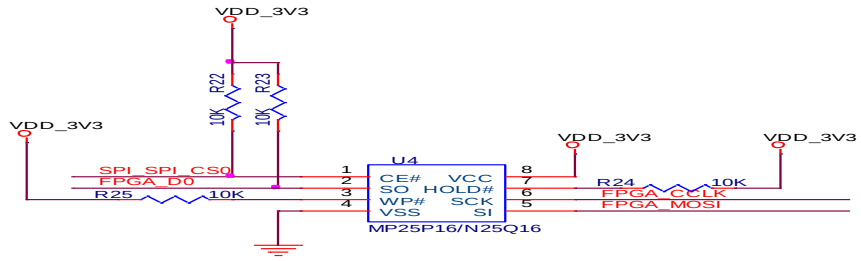
6.11. 전원 회로 (5V 입력)

- 1.0V FPGA CORE 공급회로 : 1.2V 4A 전원공급
- 3.3V 이더넷 공급회로 : 1Gbps 이덧넷 및 1.8V I/O 전원 공급
- 3.3V I/O 공급회로 : 3.3V I/O 전원 공급
- 과전압,과전류 보호 회로 내장



6.12. Configuration Serial SPI Prom 회로

- ST사의 MP25P64, Serial Prom을 사용했다.



7. 마이크로 브레이즈와 피코브레이즈 특징

7.1. MicroBraze Bus 구조

- 32Bit AXI BUS
- Local Memory,Microbraze Debug Module(MDM)
- Tightly Coupled IO Module including(I.O BUS, Interrupt Controller ,UART, Timer 등)
- 개발Tool – EDK, SDK, ISE, Vivado

7.2. Picobraze Bus 구조

- 8Bit BUS
- 개발Tool – Picobraze Asembler(KCPSM6.EXE)

7.3. 응용 및 실습 분야

- MAC 통신, 데이터 수집 기
- 이더넷 MAC 코딩 실습
- UART 코딩 실습
- SPI Master 통신
- Picobraze Assembler – 컴파일 하기
- 기타 등등...

8. 콘넥터 설명

8.1. USB1 – Console 포트로 사용됨

Pin Number	Pin Name	설 명
1	VCC	USB 전원 5V 500mA
2	USB -	USB Negative Signal
3	USB +	USB Positive Signal
4	GND	Ground

8.2. CN8 RJ 45 JACK 1Gbps 이더넷 콘넥터

Pin Number	Pin Name	설 명
1	TD0_P	1G TX0 Positive Transmit
2	TD0_N	1G TX0 Negative Transmit
3	TD1_P	1G TX1 Positive Transmit
4	TD1_N	1G TX1 Negative Transmit
5	TD2_P	1G TX2 Positive Transmit
6	TD2_N	1G TX2 Negative Transmit
7	TD3_P	1G TX3 Positive Transmit
8	TD3_N	1G TX3 Negative Transmit

8.3. CN4. DC Jack 5V (DC 입력)

- 본 제품은 5V@2A 아답터 전원으로 사용한다.
- 1핀 5V 입력
- 2핀 Ground

8.4. CN2. Xilinx Jtag

Pin Number	Pin Name	설 명
1	VCC	3.3 V
2	GND	Ground
3	TCK	JTAG Clock
4	TDO	JTAG Data Out
5	TDI	JTAG Data In
6	TMS	JTAG Mode Set

8.5. CN1 UP Board 콘넥터(3.3V, 1.8V I/O) BANK 34

Num	I/O	BANK	FPGA	Num	I/O	BANK	FPGA
1	VCC	+5V		2	VCC	+5V	
3	VCC	+5V		4	VCC	+5V	
5	GND	Ground		6	GND	Ground	
7	LVDS_P5	BANK34		8	LVDS_P2	BANK34	
9	LVDS_N4	BANK34		10	LVDS_N2	BANK34	
11	LVDS_P1	BANK34		12	LVDS_P6	BANK34	
13	LVDS_N1	BANK34		14	LVDS_N6	BANK34	
15	LVDS_P4	BANK34		16	LVDS_P16	BANK34	
17	LVDS_N4	BANK34		18	LVDS_N16	BANK34	
19	LVDS_P18	BANK34		20	LVDS_P13	BANK34	
21	LVDS_N18	BANK34		22	LVDS_N13	BANK34	
23	LVDS_P3	BANK34		24	LVDS_P14	BANK34	
25	LVDS_N3	BANK34		26	LVDS_N14	BANK34	
27	GND			28	GND		
29	LVDS_P17	BANK34		30	LVDS_P15	BANK34	
31	LVDS_N17	BANK34		32	LVDS_N15	BANK34	
33	LVDS_P11	BANK34		34	LVDS_P19	BANK34	
35	LVDS_N11	BANK34		36	LVDS_N19	BANK34	
37	LVDS_P23	BANK34		38	LVDS_P24	BANK34	
39	LVDS_N23	BANK34		40	LVDS_N24	BANK34	
41	LVDS_P12	BANK34		42	LVDS_P22	BANK34	
43	LVDS_N12	BANK34		44	LVDS_N22	BANK34	
45	LVDS_P8	BANK34		46	LVDS_P7	BANK34	
47	LVDS_N8	BANK34		48	LVDS_N7	BANK34	
49	GND			50	GND		
51	LVDS_P9	BANK34		52	LVDS_P10	BANK34	
53	LVDS_N9	BANK34		54	LVDS_N10	BANK34	
55	LVDS_P20	BANK34		56	LVDS_P21	BANK34	
57	LVDS_N20	BANK34		58	LVDS_N21	BANK34	
59	IO GPIO_0	BANK34		60	IO GPIO_1	BANK34	

8.6. CN3 (1.8V , 3.3V I/O 선택) BANK15

Num	I/O	BANK	FPGA	Num	I/O	BANK	FPGA
1	VCC	+5V		2	VCC	+5V	
3	VCC	+5V		4	VCC	+5V	
5	GND			6	GND		
7	IO_L15_N4	BANK15		8	IO_L15_N9	BANK15	
9	IO_L15_P4	BANK15		10	IO_L15_P9	BANK15	
11	IO_L15_N8	BANK15		12	IO_L15_N10	BANK15	
13	IO_L15_P8	BANK15		14	IO_L15_P10	BANK15	
15	IO_L15_N3	BANK15		16	IO_L15_N2	BANK15	
17	IO_L15_P3	BANK15		18	IO_L15_P2	BANK15	
19	IO_L15_N7	BANK15		20	IO_L15_N6	BANK15	
21	IO_L15_P7	BANK15		22	IO_L15_P6	BANK15	
23	IO_L15_N1	BANK15		24	IO_L15_N12	BANK15	
25	IO_L15_P1	BANK15		26	IO_L15_P12	BANK15	
27	GND			28			
29	IO_L15_N20	BANK15		30	IO_L15_N11	BANK15	
31	IO_L15_P20	BANK15		32	IO_L15_P11	BANK15	
33	IO_L15_N16	BANK15		34	IO_L15_N21	BANK15	
35	IO_L15_P16	BANK15		36	IO_L15_P21	BANK15	
37	IO_L15_N5	BANK15		38	IO_L15_N14	BANK15	
39	IO_L15_P5	BANK15		40	IO_L15_P14	BANK15	
41	IO_L15_N15	BANK15		42	IO_L15_N22	BANK15	
43	IO_L15_P15	BANK15		44	IO_L15_P22	BANK15	
45	IO_L15_N13	BANK15		46	IO_L15_N18	BANK15	
47	IO_L15_P13	BANK15		48	IO_L15_P18	BANK15	
49	GND			50			
51	IO_L15_N17	BANK15		52	IO_L15_N19	BANK15	
53	IO_L15_P17	BANK15		54	IO_L15_P19	BANK15	
55	IO_L15_N24	BANK15		56	IO_L15_N23	BANK15	
57	IO_L15_P24	BANK15		58	IO_L15_P23	BANK15	
59	GMAC_MDIO			60	GMAC_MDC	BANK15	

9. ISE Prom File(*.mcs) 만들기

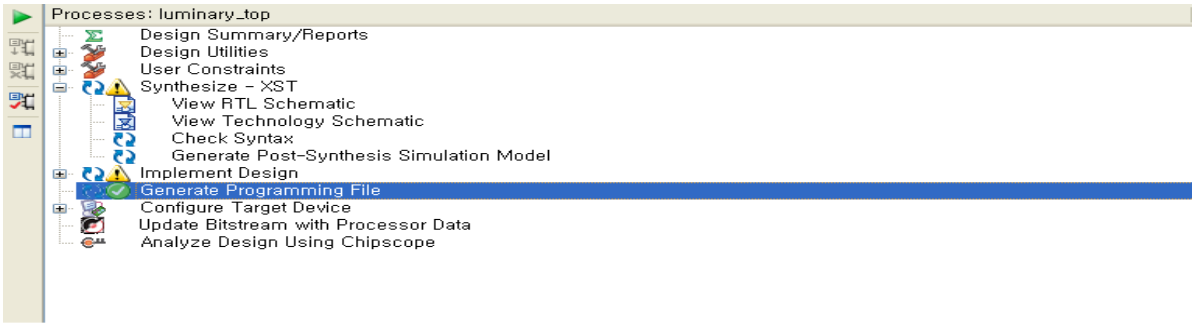
9.1. Xilinx Tool을 이용한 FPGA 내용 변경 하기

Jtag tool을 이용하여 FPGA 내용을 사용자 logic으로 변경 할 수 있다

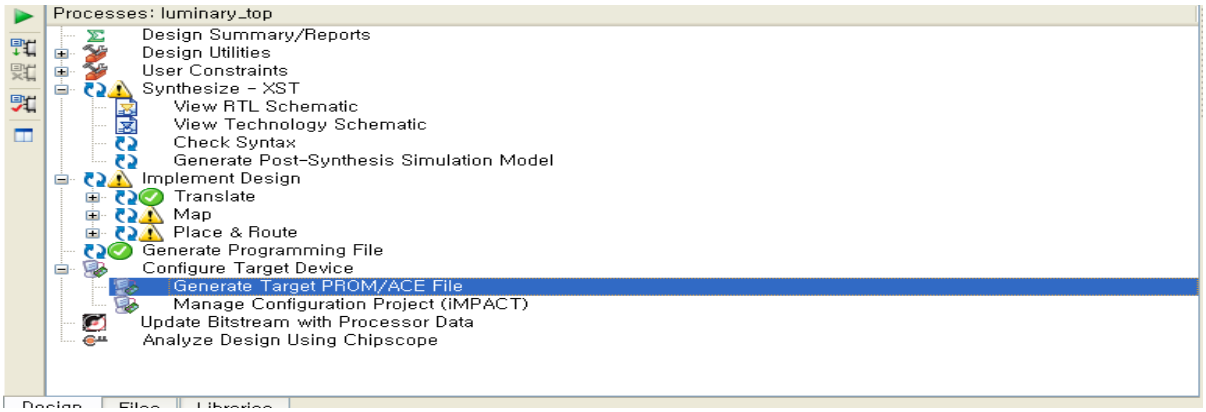
9.1.1. Bit File을 만들기

아래그림에서 Generate Programming File를 더블 클릭하면

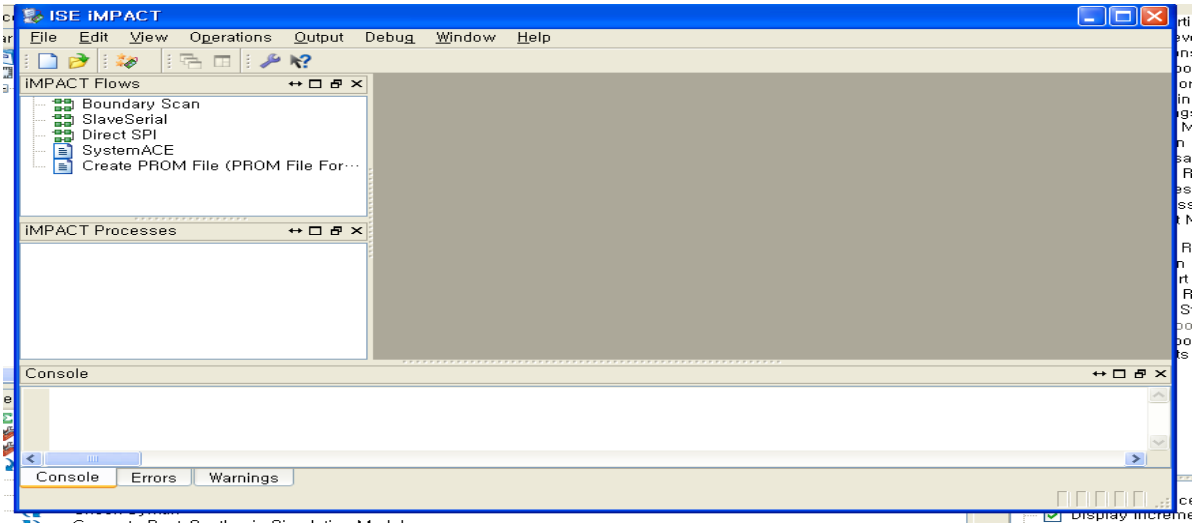
Synthesis -> Implement -> Bitfile 생성이 되며, 개발 시 필요한 bit file이 생성된다.



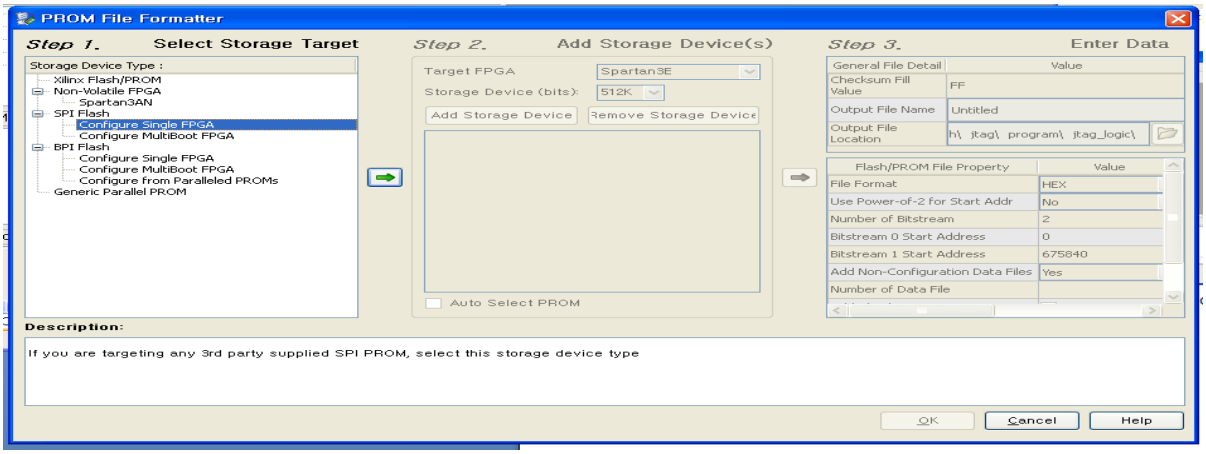
9.1.2. PROM FILE 만들기



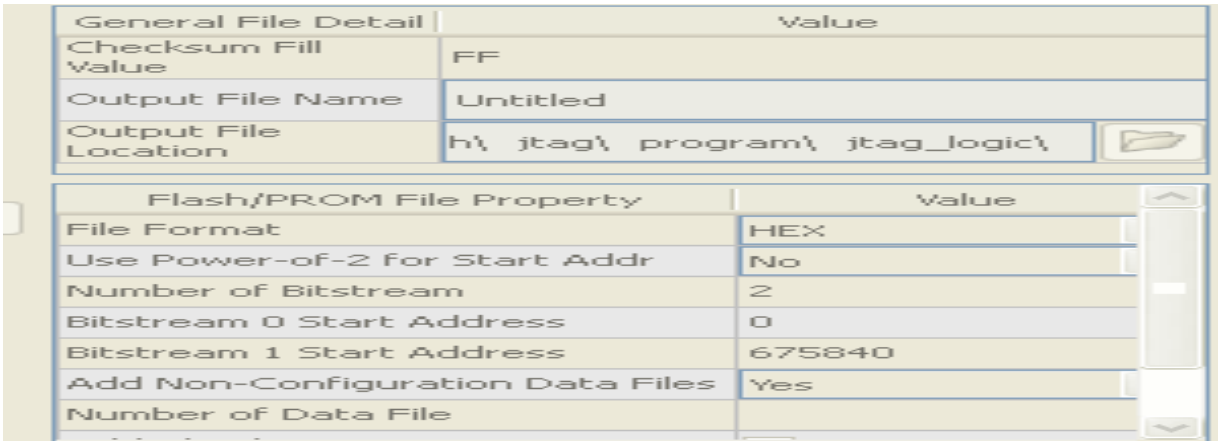
Configure Taget Device -> Generate Target PROM/ACE File 을 클릭한다.



ISE IMPACT 프로그램이 실행된다. 여기서 Create PROM File Formatter를 클릭한다.



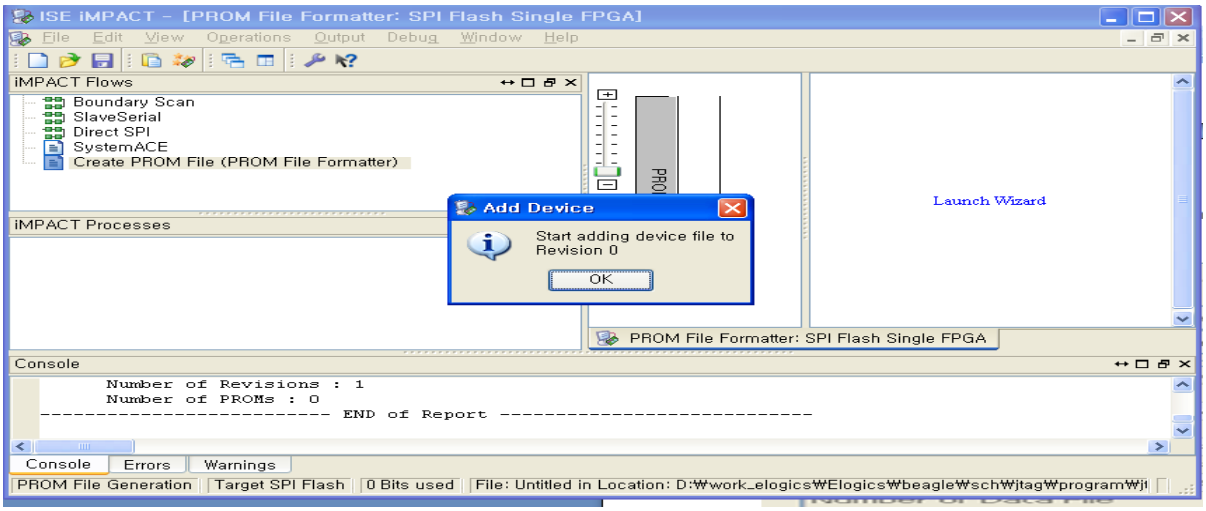
Configure Single FPGA -> -> Auto Select PROM -> 순으로 클릭한다.



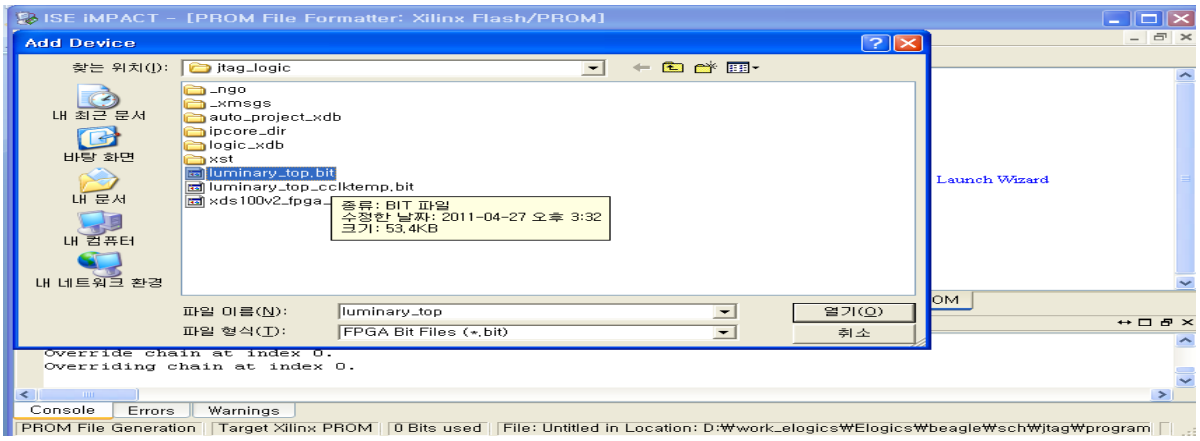
Output File Name : 생성될 file 이름

Output File Location : bit file 위치한 디렉토리

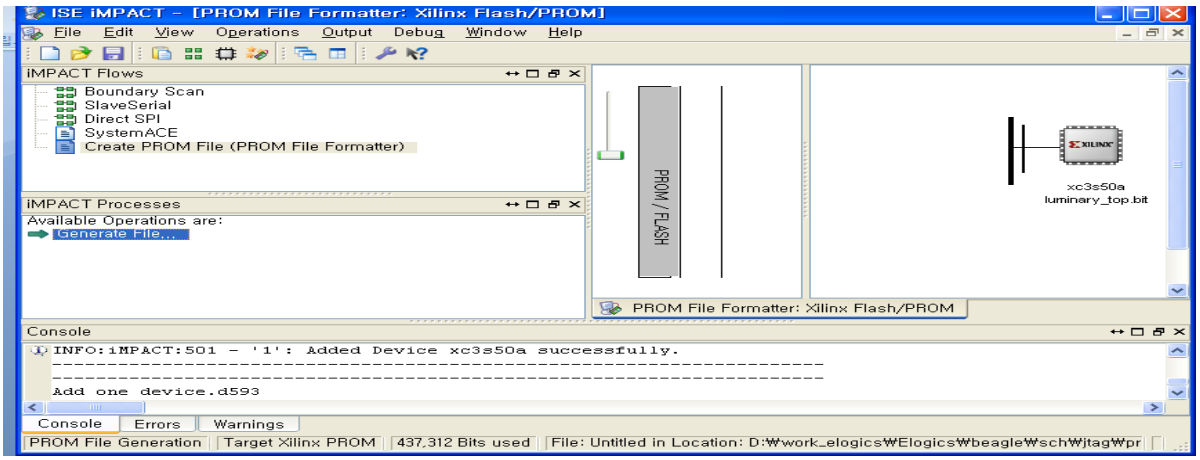
하단에 OK을 클릭한다.



OK을 누르면 Bitfile에서 생성된 file을 load한다.

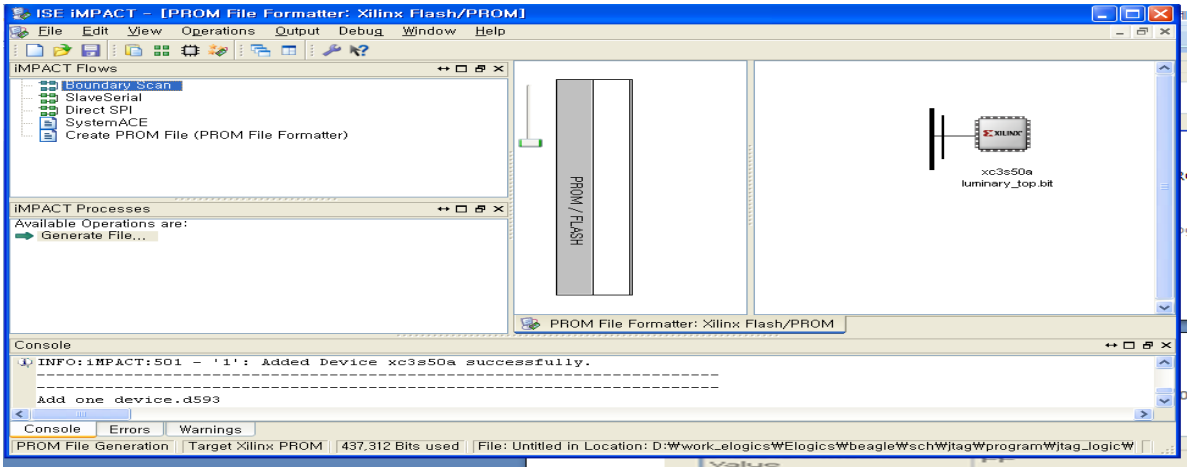


또 다른 device Add을 할 창이 띄면 No 한다 -> 다음은 OK 을 누른다.



Generate File...을 실행한다. 여기서 사용자 mcs파일이 생성되었다.

9.1.3. 생성된 Bit, mcs File 다운로드 하기

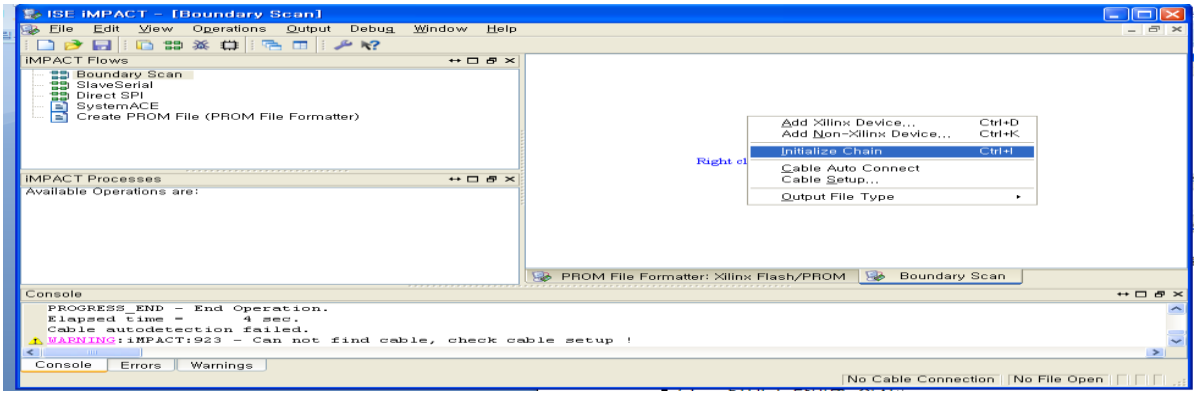


CN2 콘넥터 순서: VCC, GND , TCK ,TDI .TDO, TMS

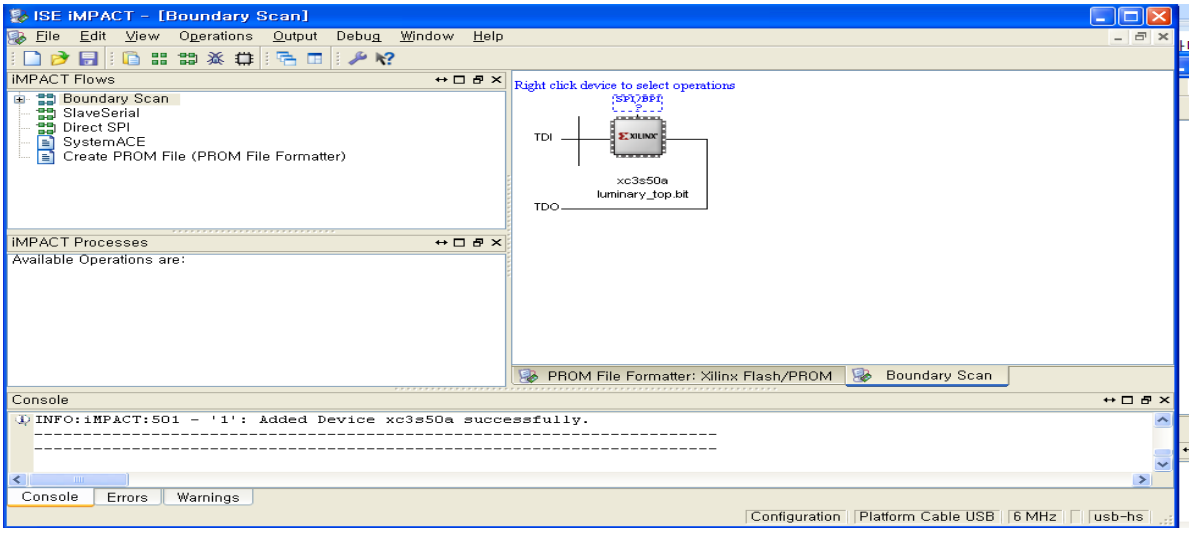
Taget보드와 jtag tool 을 연결한다.

Usb cable을 연결한다.

Boundary Scan을 클릭한다.



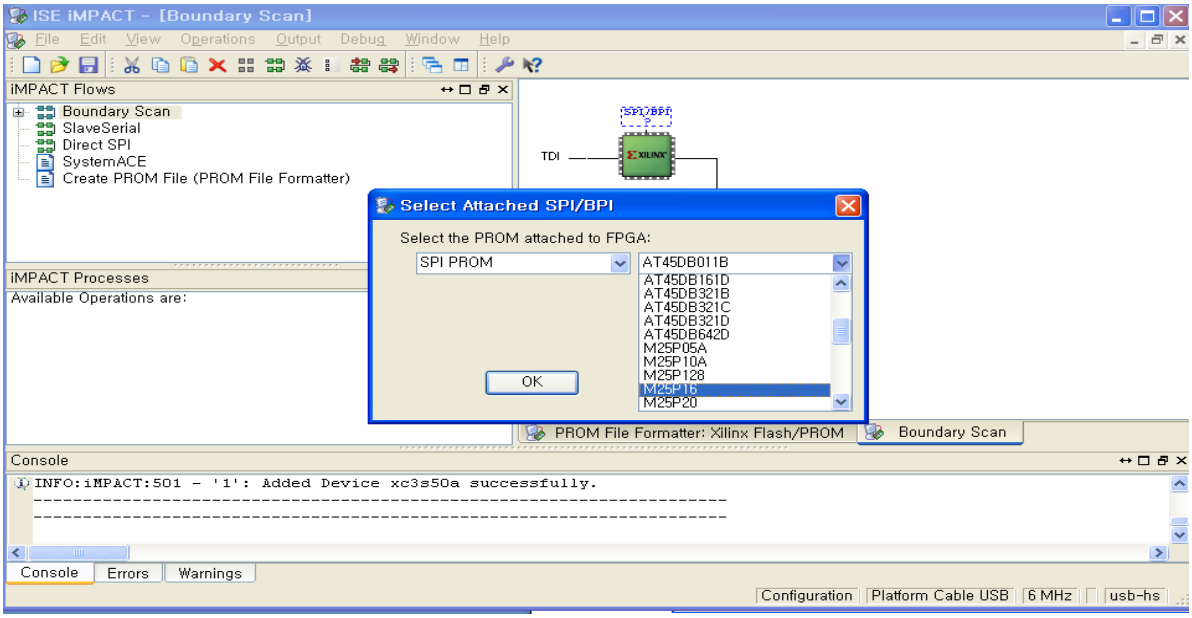
마우스 우측 button을 누른 후 Initialize Chain을 클릭한다.



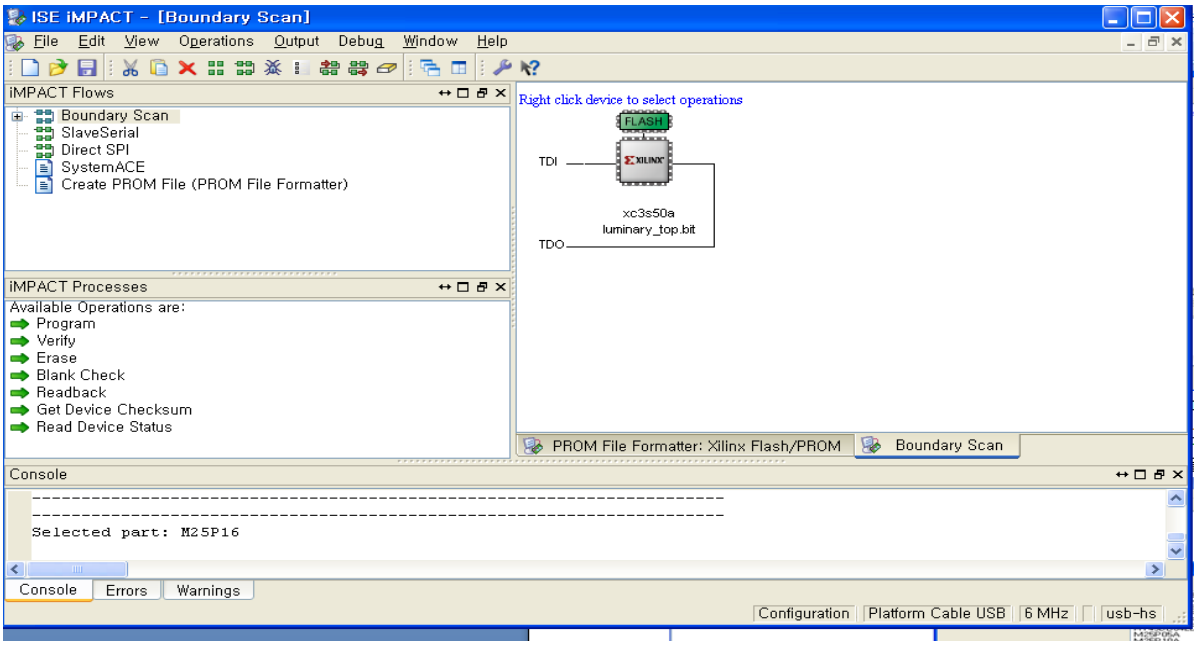
클릭하면 우측에 XILINX IC 모양과 SPI/BPI 창이 뜬다.

SPI/BPI을 클릭한다. 클릭하면 위에서 생성된 *.MCS파일을 LOAD한다.

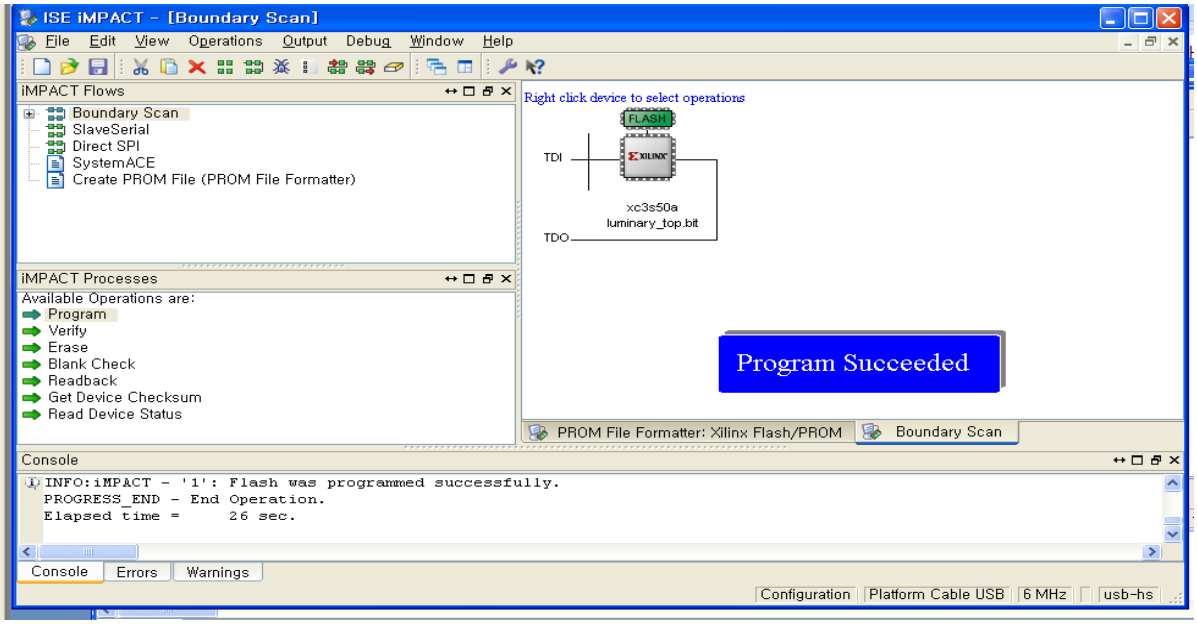
FANDA-FA3 보드에 MP25P16, MP25P64가 실장 되어있어서 이것을 선택한다.



녹색으로 표시된 FLASH ICON을 클릭한다.



다음에 Program을 선택하여 Write을 진행하며 Wirte가 완료 시 성공 메시지가 표시된다.


ISE iMPACT - [Boundary Scan]
File Edit View Operations Output Debug Window Help
iMPACT Flows
Boundary Scan
SlaveSerial
Direct SPI
SystemACE
Create PROM File (PROM File Formatter)
iMPACT Processes
Available Operations are:
Program
Verify
Erase
Blank Check
Readback
Get Device Checksum
Read Device Status
Right click device to select operations
FLASH
TDI
TDO
xc3s50a
luminary_top.bit
Program Succeeded
PROM File Formatter: Xilinx Flash/PROM
Boundary Scan
Console
INFO:iMPACT - '1': Flash was programmed successfully.
PROGRESS_END - End Operation.
Elapsed time = 26 sec.
Console
Errors
Warnings
Configuration
Platform Cable USB
6 MHz
usb-hs

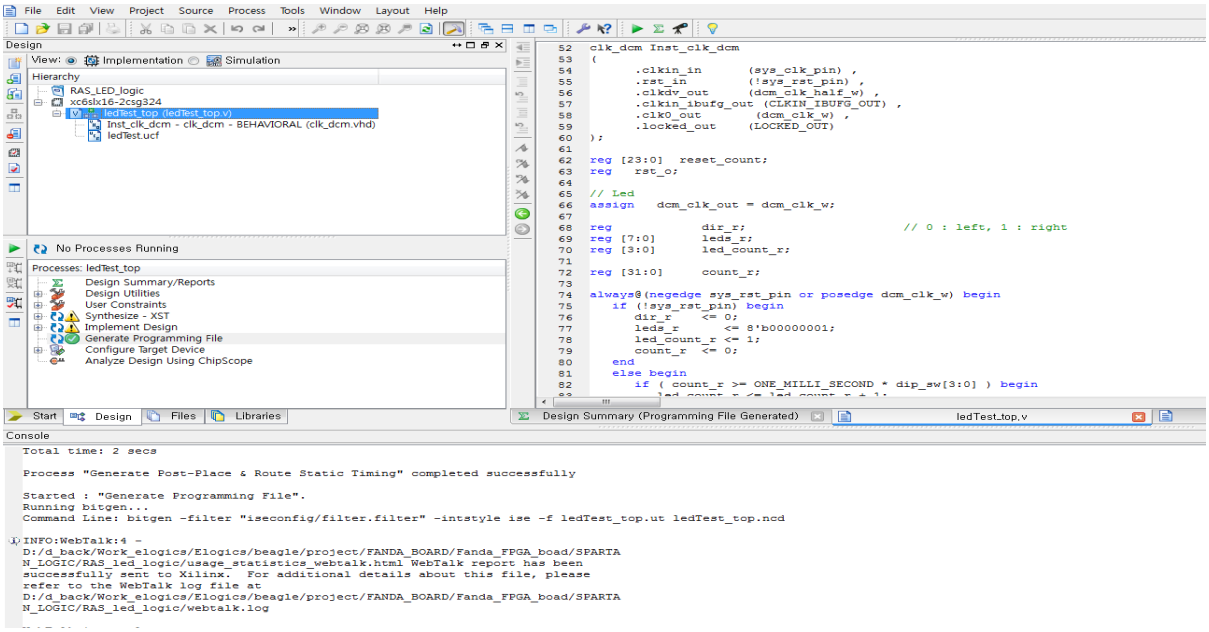
10. Example Project

10.1. 4개의 LED와 DIP Switch 사용 예제

- 상태 표시 LED1,LED2,LED3,LED4
- Option를 설정하기 위한 DIP SWICH SW1,SW2,SW3,SW4
- 예제 소스 : 제공된 프로젝트를 led blink open 한다.

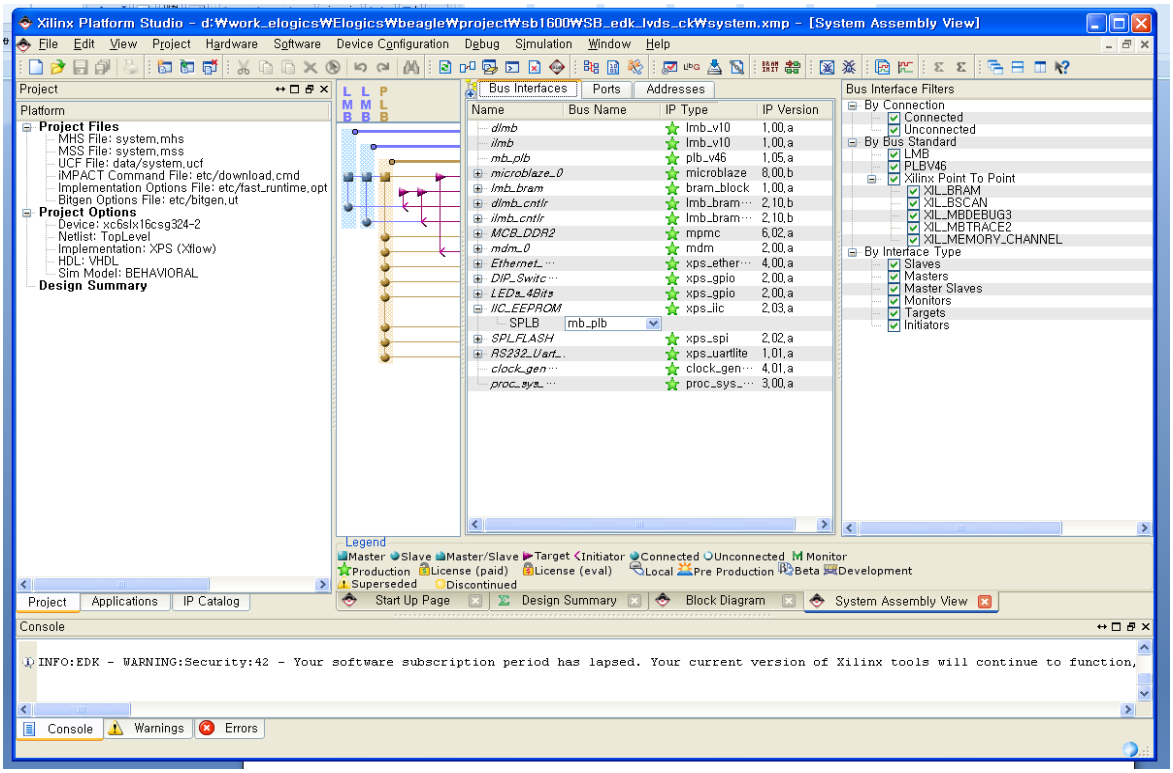
위 프로젝트를 Implementaion를 실행 후 bit File을 다운로드 한다.
그러면 LED가 깜박이는 것을 볼 수 있다.

10.2. FANDA-FA3 프로젝트 실습하기



10.3. EDK 활용

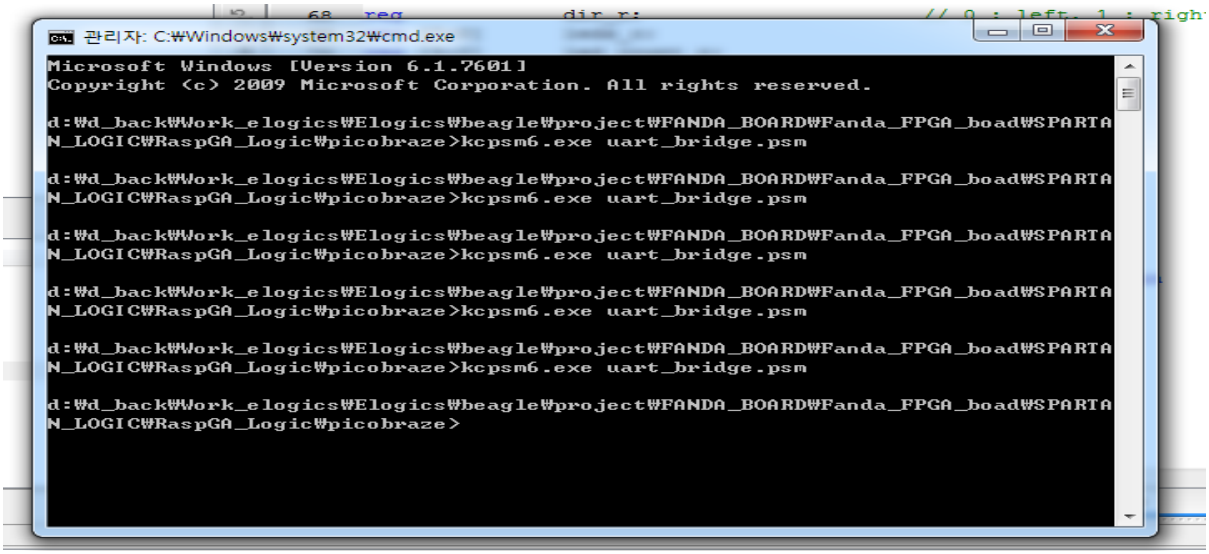
10.3.1. EDK사용법은 CD에 제공된 Xilinx_Embedded_Processor.pdf 파일을 참조 합니다.



제공된C/D에서 D:₩sale_project₩LOGIC_PROGRAM₩edk_LWIP_142_45₩system.xmp를 더블 클릭하면 위와 같이 프로젝트가 OPEN 됩니다.

- 위 예제는 메모리 테스트 프로젝트 입니다. 여기에 사용자 로직 및 응용 프로그램을 코딩하여 사용 하면 됩니다.

10.4. Picobraze 실습하기



10.4.1. 명령창에서 kcpsm6.exe uart_bridge.psm을 실행한다.

제공된 소스파일이 컴파일 된다.

위와 같이 컴파일이 진행됩니다.

에러가 있으면 수정 후 재 컴파일을 진행 합니다.

10.4.2. PICOBRAZE 관련 파일

- Kcpsm.EXE - PICOBRAZE 어셈블리어
- ROM_FORM.V - ROMFILE Template
- KCPSM6.V - PICOBRAZE 소스코드
- UART_BRIDGE.PSM - PICOBARZE TOP 어셈블 소스코드
- i2c_routines.psm, kc705_i2c_devices.psm, soft_delays_100mhz.psm, PicoTerm_routines.psm
- uart_rx6.v, uart_tx6.v

10.4.3. PICOBRAZE 실습 프로젝트 – 자료실 참고, 프로젝트는 파일은 계속 update됨